

**Multi-mode memory element has combination circuit that implements Boolean function for first state of control signal and connects its second input logically to output for second state**

**Patent number:** DE19929546

**Publication date:** 2000-09-07

**Inventor:** SINGH ADIT (US); GOESSEL MICHAEL (DE);  
SOGOMONYAN EGOR (DE)

**Applicant:** GOESSEL MICHAEL (DE)

**Classification:**

- **international:** G01R31/3185; G01R31/28; (IPC1-7): G06F11/267;  
G01R31/3185; G01R31/3187

- **europen:** G01R31/3185S2

**Application number:** DE19991029546 19990623

**Priority number(s):** DE19991029546 19990623

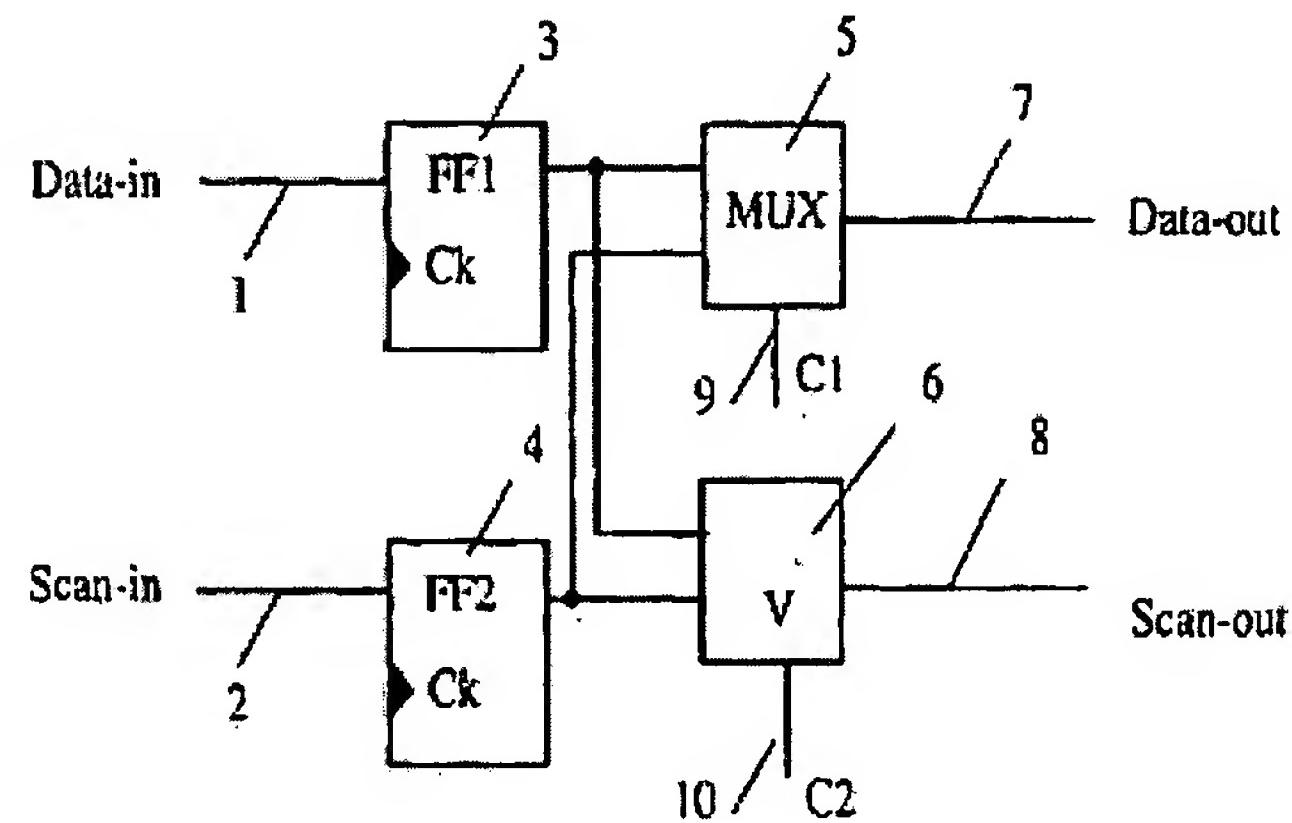
**Also published as:**

WO0101162 (A1)  
EP1410052 (A1)

[Report a data error here](#)

**Abstract of DE19929546**

The memory element has a data-in input, a data-out output, a scan-in input and a scan-out output, whereby the data-in input is connected to the data input of a first flip-flop (3), the scan-in input is connected to the data input of a second flip-flop (4), the first flip-flop's output is connected to the first of two inputs of a multiplexer whose control line (9) carries a first binary control signal and to the first of two inputs of a controlled combinatorial circuit (6) whose control line (10) carries a second binary control signal. The second flip-flop's output is connected to the second multiplexer and combinatorial circuit inputs. The multiplier (5) output is connected to the data-out output and the output of the combinatorial circuit is connected to the scan-out output. The combination circuit implements a Boolean function for the first state of its control signal and connects its second input logically to its output for the second state.



Data supplied from the esp@cenet database - Worldwide

⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑯ **Patentschrift**  
⑯ DE 199 29 546 C 1

⑯ Int. Cl. 7:

**G 06 F 11/267**

G 01 R 31/3185

G 01 R 31/3187

- ⑯ Aktenzeichen: 199 29 546.8-53  
⑯ Anmeldetag: 23. 6. 1999  
⑯ Offenlegungstag: –  
⑯ Veröffentlichungstag der Patenterteilung: 7. 9. 2000

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑯ Patentinhaber:

Gössel, Michael, Prof. Dr., 15831 Mahlow, DE

⑯ Erfinder:

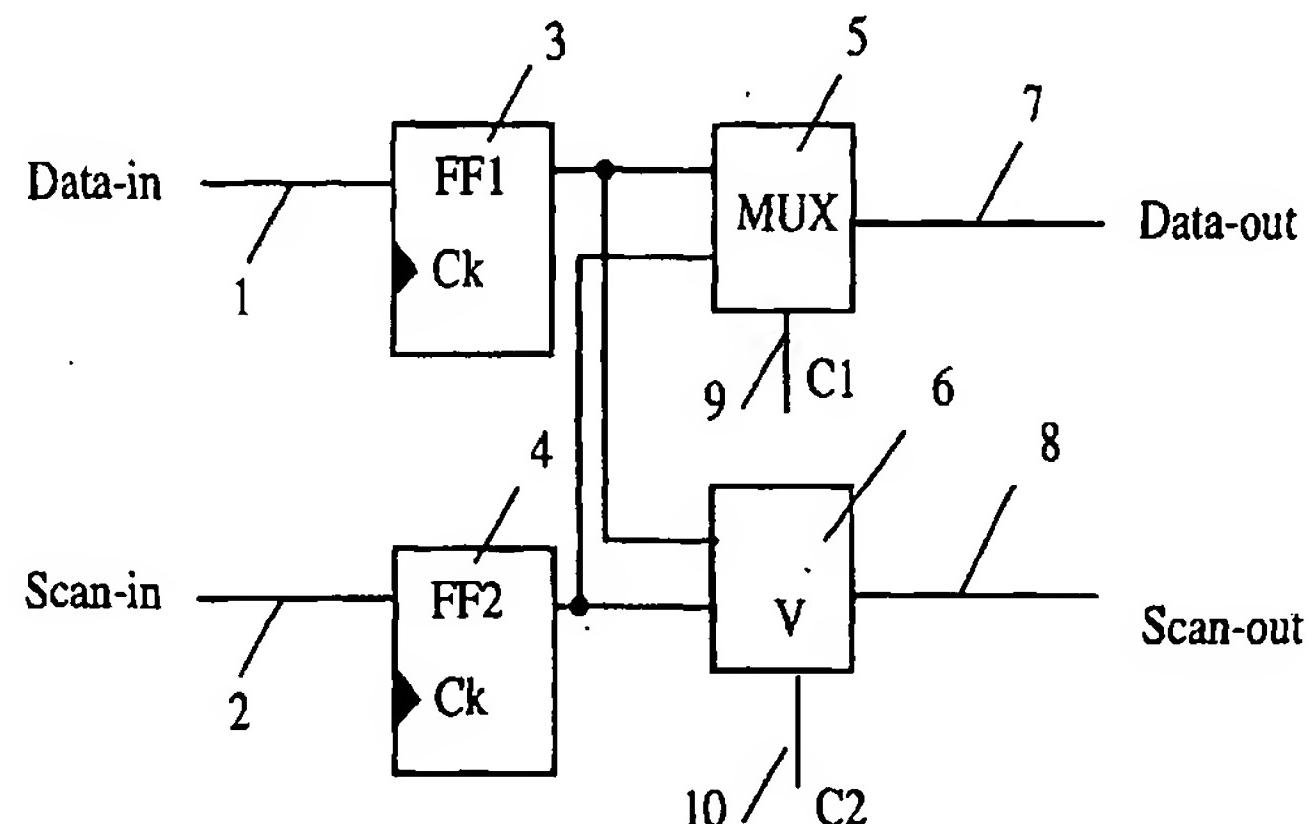
Singh, Adit, Prof. Dr., Auburn, Al., US; Gössel, Michael, Prof. Dr., 15831 Mahlow, DE; Sogomonyan, Egor, Prof. Dr., 14471 Potsdam, DE

⑯ Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

US 55 98 120 A  
US 44 95 629 A  
US 43 77 757 A  
US 42 93 919 A  
US 37 83 254 A

⑯ Multi-Mode Speicherelement

⑯ Das erfindungsgemäße Multi-Mode-Speicherelement ist einsetzbar beim Entwurf sequentieller Schaltungen mit Scan-Mode, und es dient der Verbesserung der Testbarkeit derartiger Schaltungen. In Abhängigkeit von Steuersignalen werden in verschiedenen Modes verschiedene Selbsttests unterstützt. Es erlaubt einen pseudo-zufälligen tatsächlichen Delay-Test.



## Beschreibung

Die Erfindung betrifft das Gebiet des Testens und des Selbsttestens digitaler sequentieller Schaltungen und die Kombination verschiedener Test- und Funktionsmodes und dient der Verbesserung der Testbarkeit.

Durch den hohen Integrationsgrad elektronischer Schaltungen erfordert der Test und der Selbsttest derartiger Schaltungen einen hohen Aufwand. Das betrifft insbesondere den Test sequentieller Schaltungen.

Zur Vereinfachung des Testes sequentieller Schaltungen wurde zunächst das Scan-Element eingeführt, wie es beispielsweise in Eichelberger, E. B. and Williams, T. W., "A Logic Design Structure for LSI Testing", Proc. 14th Design Automation Conference, 1977, New Orleans, pp. 462–468, US 3783254, US 4293919, US 4495629 und US 5598120 beschrieben ist.

Die Speicherelemente der zu testenden Schaltung lassen sich im Scan-Mode zu einer Schiebekette konfigurieren. Der Testvektor wird in N Takten eingeschoben, wobei N die Länge der Schiebekette ist. Während des Ein- und Ausschiebens ist die normale Datenverarbeitung unterbrochen. Dann wird die zu testende Schaltung in den Funktionsmode umgeschaltet und der eingeschobene Testvektor wird von dem kombinatorischen Teil der Schaltung verarbeitet. Das Ergebnis wird in den Speicherelementen gespeichert und in den darauffolgenden N Takten ausgeschoben, während gleichzeitig der nächste Testvektor eingeschoben wird. Ein Speicherelement mit Scan-Mode lässt sich beispielsweise durch ein Flip-Flop mit vorgeschaltetem Multiplexer, etwa in CMOS, realisieren. Unterschiedliche Implementierungen für Speicherelemente mit Scan-Mode sind beispielsweise in Abramovici, M., Breuer, M. and Friedman, A., "Digital System Testing and Testable Design", New York, Computer Science Press, 1990, beschrieben.

Nachteil des Testens im Scan-Mode ist, daß durch das Einschieben der Testvektoren viel Zeit verbraucht wird.

Ein weiterer Nachteil besteht beim Testen auf Verzögerungsfehler oder Delay-Fehler. Ein Verzögerungsfehler kann bei einem Zwei-Pattern-Test erkannt werden. Für den Zwei-Pattern-Test sind die Möglichkeiten durch den Scan-Pfad eingeschränkt. Der erste Testvektor kann beliebig eingeschoben werden. Der zweite Testvektor ist aber notwendig ein durch die Schaltung bestimmter Nachfolge-Vektor des eingeschobenen Vektors, was neben dem großen Zeitbedarf beim Einschieben des ersten Testvektors, auch die Fehlererkennung begrenzt. Zur Verbesserung der Testbarkeit werden deshalb auch pseudozufällige Selbst-Tests für sequentielle Schaltungen verwendet. Insbesondere werden auch Speicherelemente verwendet, welche in verschiedenen Test-Modes den Scan-Mode und Modes für den Zufallstest aufweisen.

Derartige Speicherelemente sind beispielsweise in Koenemann, B., Mucha, J. and Zwiehoff, G., "Built-in Logic Block Observation Techniques", Proc. Int. Test Conference, 1979, pp. 37– 41, US 4377757, Wang, L. T. and E. J. McClusky, "Concurrent Built-In Logic Block Observer (CILBO)", Int. Symp. on Circuits and Systems, Vol. 3, 1986, pp. 1054–1057, in Krasniewski, A. and Pilarski, S., "Circular Self-Test-Path: A Low Cost BIST Technique for VLSI Circuits", IEEE Trans. CAD, Vol. 8, 1989, pp. 46–55, und in Savir, J., "Scan Latch Design for Delay Test", Proc. Int. Test Conf. 1997, pp. 446–453, beschrieben.

Mit der zunehmenden Integration moderner elektronischer Schaltungen und der damit verbundenen Verkleinerung der Breite und Länge der Verbindungsleitungen zwischen Gattern und Transistoren führen relativ kleine technisch bedingte Abweichungen von den jeweils vorgesehenen Längen und Breiten der Verbindungsleitungen zu Schwankungen in der Geschwindigkeit der Signalausbreitung, die sich bei den extrem hohen Taktfrequenzen moderner elektronischer Schaltungen als Verzögerungsfehler auswirken können, so daß mit zunehmendem Integrationsgrad Delay- oder Verzögerungsfehler und damit Delay Tests an Bedeutung zunehmen.

gen und Breiten der Verbindungsleitungen zu Schwankungen in der Geschwindigkeit der Signalausbreitung, die sich bei den extrem hohen Taktfrequenzen moderner elektronischer Schaltungen als Verzögerungsfehler auswirken können, so daß mit zunehmendem Integrationsgrad Delay- oder Verzögerungsfehler und damit Delay Tests an Bedeutung zunehmen.

Beim Delay Test ist es wichtig, die tatsächlich im Normalbetrieb aktiven Datenpfade auf Verzögerungsfehler mit der Taktfrequenz der Schaltung im Normalbetrieb, etwa mit einem Zufallstest in einem Selbsttestmodus zu testen.

Die bisher bekannten Speicherelemente, die auch Modes für den Zufallstest besitzen, weisen im Testmodus für den Zufallstest (Selbsttest) im Datenpfad zusätzliche Verzögerungen auf, die häufig durch ein zusätzliches XOR-Element im Datenpfad bedingt sind, so daß sie für einen tatsächlichen Delay-Test nicht oder nur ungenügend geeignet sind. Um die zusätzlichen Verzögerungen zu verringern, werden auch modifizierte Speicherelemente beschrieben, die die zusätzliche Logik in das Speicherelement integrieren, wie das beispielsweise in Wang, L. T. and E. J. McClusky, "Concurrent Built-In Logic Block Observer (CILBO)", Int. Symp. on Circuits and Systems, Vol. 3, 1986, pp. 1054–1057 dargestellt ist. Damit können aber die Standard Speicherelemente beim Entwurf nicht verwendet werden.

Teilweise, wie etwa bei dem in Savir, J., "Scan Latch Design for Delay Test", Proc. Int. Test Conference, 1997, pp. 446–453, Latched Icon 2, ist ein sehr großer Hardware- und Verdrahtungsaufwand für die verschiedenen Taktsignale erforderlich.

Teilweise ist bei den vorgeschlagenen Speicherelementen, wie beispielsweise in dem von Krasniewski, A. and Pilarski, S., "Circular Self-Test-Path: A Low Cost BIST Technique for VLSI Circuits, IEEE Trans. CAD, Vol. 8, 1989, pp. 46–55, beschriebenen Speicherelement für den zirkularen Selbsttest das Ein- und Ausschieben der Testdaten und der Daten für die Verifikation nicht möglich, was nachteilig ist.

Der Erfindung liegt die Aufgabe zugrunde, ein Multi-Mode Speicherelement mit mindestens zwei verschiedenen Funktionsmoden unter Verwendung von üblichen Flip-Flops anzugeben, das in einem ersten Mode das Ein- und Ausscannen oder Ein- und Ausschieben von Testvektoren und Testantworten und in einem weiteren Mode einen pseudozufälligen Selbsttest ermöglicht, wobei auf dem Datenpfad im pseudozufälligen Selbsttest keine zusätzlichen Verzögerungen auftreten.

Erfindungsgemäß wird die Aufgabe durch ein Multi-Mode Speicherelement mit einem ein Bit breiten Dateneingang Data-in, einem ein Bit breiten Datenausgang Data-out, einem ein Bit breiten weiteren Eingang Scan-in, einem weiteren ein Bit breiten Ausgang Scan-out und zwei die ein Bit breiten Steuersignale C1 und C2 tragenden Leitungen gelöst, wobei der Data-in Eingang direkt mit dem Eingang eines ersten Flip-Flops verbunden ist, der Scan-in Eingang mit dem Eingang eines zweiten Flip-Flops verbunden ist, der Ausgang des ersten Flip-Flops mit dem ersten Eingang eines Multiplexers mit zwei Eingängen und einem Ausgang verbunden ist, dessen zweiter Eingang mit dem Ausgang des zweiten Flip-Flops verbunden ist und der Output des Multiplexers mit dem Data-out Ausgang des Speicherelementes verbunden ist. Der Multiplexer ist darüber hinaus mit einer das binäre Steuersignal C1 tragenden Leitung verbunden. Der Ausgang des ersten Flip-Flops ist außerdem mit dem ersten Eingang einer gesteuerten Verknüpfungsschaltung mit zwei Eingängen und einem Ausgang verbunden, deren zweiter Eingang mit dem Ausgang des zweiten Flip-Flops verbunden ist, deren Steuereingang mit einer Steuerleitung verbunden ist, die ein binäres Steuersignal C2 führt. Der

Ausgang der Verknüpfungsschaltung ist mit dem Scan-out Ausgang des Multi-Mode Speicherelementes verbunden. Die gesteuerte Verknüpfungsschaltung realisiert für die erste Belegung des Steuersignals C2 eine Verknüpfung ihrer beiden Eingänge mit einer eindeutig auflösbaren Booleschen Funktion. Für die zweite Belegung des binären Steuersignals C2 realisiert die gesteuerte Verknüpfungsschaltung logisch eine direkte Verbindung ihres zweiten Einganges mit ihrem Ausgang.

Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen dargestellt. Durch die Zusammenführung der beiden Steuerleitungen zu einer Steuerleitung ist es möglich, die Zahl der Anschlußleitungen zu reduzieren.

Als eindeutig auflösbare Boolesche Funktion kann sowohl eine Antivalenz- als auch eine Äquivalenzverknüpfung realisiert werden.

Nachfolgend soll die Erfindung an Ausführungsbeispielen erläutert werden.

Dabei zeigen

**Fig. 1** ein Blockschaltbild eines erfindungsgemäßen Speicherelementes mit zwei Steuerleitungen,

**Fig. 2** ein Blockschaltbild eines erfindungsgemäßen Speicherelementes mit einer Steuerleitung,

**Fig. 3** ein Schaltbild einer ersten Ausgestaltung der gesteuerten Verknüpfungsschaltung des Speicherelementes,

**Fig. 4** ein Schaltbild einer zweiten Ausgestaltung der gesteuerten Verknüpfungsschaltung des Speicherelementes,

**Fig. 5** ein Schaltbild einer dritten Ausgestaltung der gesteuerten Verknüpfungsschaltung des Speicherelementes,

**Fig. 6** ein Blockschaltbild zur Veranschaulichung der Anwendung des erfindungsgemäßen Speicherelementes bei der Realisierung einer sequentiellen Schaltung,

**Fig. 7** einen Ausschnitt einer sequentiellen Schaltung mit erfindungsgemäßen Speicherelementen mit einer Steuerleitung zur Erläuterung der Funktionsweise im pseudo-zufälligen Testmode.

**Fig. 8** einen Ausschnitt einer sequentiellen Schaltung mit erfindungsgemäßen Speicherelementen mit einer Steuerleitung zur Erläuterung der Funktionsweise im Scan-Mode und parallelen Funktionsmode.

**Fig. 1** zeigt ein Blockschaltbild eines erfindungsgemäßen Speicherelementes mit zwei unterschiedlichen Steuerleitungen.

Der Data-in Eingang 1 ist mit dem Daten-Eingang des ersten Flip-Flop Elementes FF1 3 verbunden. Der Ausgang des Flip-Flop Elementes FF1 3 ist gleichzeitig mit dem ersten Eingang des Multiplexers MUX 5 und mit dem ersten Eingang der gesteuerten Verknüpfungsschaltung V 6 verbunden. Der Scan-in Eingang 2 ist mit dem Daten-Eingang des zweiten Flip-Flop FF2 4 verbunden. Der Ausgang des zweiten Flip-Flops 4 ist gleichzeitig mit den jeweils zweiten Eingängen des Multiplexers MUX 5 und der gesteuerten Verknüpfungsschaltung V 6 verbunden. An der Steuerleitung 9 des Multiplexers MUX 5 liegt das binäre Steuersignal C1 und an der Steuerleitung 10 der gesteuerten Verknüpfungsschaltung V 6 liegt das binäre Steuersignal C2 an.

Der Ausgang des Multiplexers MUX 5 ist mit dem Data-out Ausgang 7 verbunden, während der Ausgang der gesteuerten Verknüpfungsschaltung V 6 mit dem Scan-out Ausgang 8 verbunden ist. Der Takteingang der beiden Flip-Flops FF1 3 und FF2 4 ist in **Fig. 1** jeweils mit Ck markiert, die entsprechenden Leitungen für das Taktsignal sind nicht eingezeichnet.

**Fig. 2** zeigt ein Blockschaltbild eines erfindungsgemäßen Speicherelementes mit einer binären Steuerleitung 11, die gleichzeitig sowohl den Multiplexer MUX 5 als auch die Verknüpfungsschaltung V 6 steuert.

Der Unterschied des in **Fig. 2** gezeigten Speicherelemen-

tes von dem in **Fig. 1** gezeigten Speicherelement besteht darin, daß bei dem in **Fig. 2** gezeigten Speicherelement der Multiplexer MUX 5 und die gesteuerte Verknüpfungsschaltung V 6, die in **Fig. 1** mit zwei unterschiedlichen Steuerleitungen 9 und 10 verbunden sind, mit einer gemeinsamen Steuerleitung 11 verbunden sind. Ansonsten stimmen die Speicherelemente von **Fig. 1** und **Fig. 2** überein, was auch durch die gleiche Bezeichnung der gleichartigen Funktioneinheiten deutlich wird.

**Fig. 3** zeigt eine erste Realisierung der gesteuerten Verknüpfungsschaltung V.

Der erste Eingang der Verknüpfungsschaltung V 6, der mit dem Ausgang des ersten Flip-Flops 3 in **Fig. 1** verbunden ist, ist mit dem ersten Eingang eines UND-Gatters 12 verbunden, in dessen zweitem Eingang die das Steuersignal C2 tragende Leitung 10 geführt ist. Der Ausgang des UND-Gatters 12 ist in den ersten Eingang eines XOR-Gatters 13 geführt, dessen zweiter Eingang mit dem zweiten Eingang der Verknüpfungsschaltung V 6 verbunden ist, der mit dem Ausgang des Flip-Flop-Elementes FF2 4 in **Fig. 1** verbunden ist. Der Ausgang des XOR-Gatters 13 ist mit dem Scan-out Ausgang 8 des Speicherelementes in **Fig. 1** verbunden. Nimmt das Steuersignal C2 den Wert logisch 1 an, dann werden die Signale an den Eingängen der Verknüpfungsschaltung V 6 durch das XOR-Gatter 13 logisch antivalent verknüpft. Nimmt das Steuersignal C2 den Wert logisch 0 an, dann wird das Signal, das an dem zweiten Eingang der Verknüpfungsschaltung V 6 anliegt, in dem XOR-Gatter 13 mit dem Wert 0 logisch verknüpft, so daß es unverändert an den Scan-out-Ausgang 8 der Verknüpfungsschaltung 6 weitergeleitet wird.

**Fig. 4** zeigt eine zweite Realisierung der gesteuerten Verknüpfungsschaltung V.

Der erste Eingang der Verknüpfungsschaltung V 6, der mit dem Ausgang des ersten Flip-Flop FF1 3 in **Fig. 1** verbunden ist, ist mit dem ersten Eingang eines XOR-Gatters 14 verbunden, dessen Ausgang mit dem 1-Eingang eines Multiplexers MUX 15 verbunden ist.

Der zweite Eingang der Verknüpfungsschaltung V 6, der mit dem Ausgang des zweiten Flip-Flops FF2 4 in **Fig. 1** verbunden ist, ist sowohl mit dem zweiten Eingang des XOR-Gatters 14 als auch mit dem 0-Eingang des Multiplexers MUX 15 verbunden, dessen Ausgang mit dem Scan-out Ausgang 8 der Verknüpfungsschaltung 6 verbunden ist.

Nimmt das Steuersignal C2 den Wert logisch 1 an, dann werden die Signale an den Eingängen der Verknüpfungsschaltung V 6 durch das XOR-Gatter 14 logisch antivalent verknüpft und durch den Multiplexer MUX 15 auf den Scan-out Ausgang 8 geleitet.

Nimmt das Steuersignal C2 den Wert logisch 0 an, dann wird das Signal, das an dem zweiten Eingang von V 6 anliegt, direkt über den Multiplexer 15 an den Scan-out Ausgang 8 der Verknüpfungsschaltung 6 geleitet.

Man bemerkt, daß die Schaltungen von **Fig. 3** und **4** logisch gleichwertig oder äquivalent sind, obwohl sie sich strukturell unterscheiden.

**Fig. 5** zeigt eine weitere mögliche Realisierung der gesteuerten Verknüpfungsschaltung V 6. Der erste Eingang der Verknüpfungsschaltung V 6, der mit dem Ausgang des ersten Flip-Flops FF1 3 in **Fig. 1** verbunden ist, ist mit dem ersten Eingang eines UND-Gatters 16 und gleichzeitig in negierter Form mit dem ersten Eingang eines weiteren UND-Gatters 17 verbunden. Der zweite Eingang der Verknüpfungsschaltung V 6, der mit dem Ausgang des zweiten Flip-Flops FF2 4 in **Fig. 1** verbunden ist, ist mit dem zweiten Eingang des UND-Gatters 16, in negierter Form mit dem zweiten Eingang des UND-Gatters 17 und mit dem 0-Eingang des Multiplexers 19 verbunden, dessen Ausgang mit dem

Scan-Ausgang **8** der Verknüpfungsschaltung V 6 verbunden ist. Der Ausgang des UND-Gatters **16** ist mit dem ersten Eingang des ODER-Gatters **18** verbunden, dessen Ausgang in den 1-Eingang des Multiplexers **19** geführt ist, dessen Steuereingang mit der das Steuersignal C2 tragenden Steuerleitung **10** der Verknüpfungsschaltung V 6 verbunden ist.

Der Ausgang des UND-Gatters **17** ist mit dem zweiten Eingang des ODER-Gatters **18** verbunden. Man bemerkt, daß für  $C2 = 1$  die Verknüpfungsschaltung V 6 die logische Äquivalenzverknüpfung der auf ihnen mit den mit den Ausgängen der beiden Flip-Flops FF1 3 und FF2 4 verbundenen Eingängen anliegenden Werte bildet und für  $C2 = 0$  ihren zweiten, mit dem Flip-Flop FF2 4 verbundenen Eingang logisch mit ihrem Ausgang verbindet.

Die Äquivalenzverknüpfung ist dabei mit den Bauelementen UND, ODER und NEGATOR realisiert worden.

**Fig. 6** veranschaulicht, wie die erfindungsgemäßen Speicherelemente zur Realisierung einer sequentiellen Schaltung angewandt werden können.

Die erfindungsgemäßen Speicherelemente sind über ihre Scan-out Ausgänge **8** und ihre Scan-in Eingänge **2** zu einem Scan-Pfad verbunden, wie das im Entwurf sequentieller Schaltungen mit Scan-Pfad üblich ist und beispielsweise in Abramovici, M., Breuer, M. and Friedman, A., "Digital System Testing and Testable Design", New York, Computer Science Press, 1990, beschrieben ist. Die Datenausgänge Data-out **7** der Speicherelemente sind in die zugehörigen Eingänge der kombinatorischen Schaltung **20** geführt und die entsprechenden Ausgänge der kombinatorischen Schaltung **20** sind mit den Data-in Eingängen **1** der zugehörigen Flip-Flops FF1 3 verbunden.

Sind die Werte der Steuersignale C1 und C2 so gewählt, daß der Ausgang des jeweils ersten Flip-Flops FF1 3 direkt mit dem Data-out Ausgang **7** verbunden ist, und daß der Ausgang des jeweils zweiten Flip-Flops FF2 4 direkt mit dem Scan-out Ausgang **8** verbunden ist, so wird von der Schaltung in **Fig. 6** eine normale Verarbeitung der Daten in den Flip-Flops FF1 3 und der kombinatorischen Schaltung **20** durchgeführt. Überraschenderweise können dann gleichzeitig zur normalen Funktionsweise der sequentiellen Schaltung, die durch die Flip-Flops FF1 3 und die kombinatorische Schaltung **20** realisiert wird, in die Flip-Flops FF2 4, die eine Kette bilden, Daten eingeschoben und Daten ausgeschoben werden, so daß durch die Flip-Flops FF2 4 gleichzeitig zur normalen Funktionsweise ein Scan-Pfad realisiert wird.

Man sieht unmittelbar, daß sich für verschiedene Werte der Steuersignale C1 und C2 verschiedene Arbeitsweisen oder Modes ergeben, die für einen ausgebildeten Entwerfer unmittelbar verständlich sind, wie zum Beispiel eine normale Verarbeitung der Daten in den Flip-Flops FF1 3 und gleichzeitig eine Addition modulo 2 der Ausgänge der Flip-Flops FF1 3 und FF2 4. Zur Verdeutlichung der Wirkungsweise des erfindungsgemäßen Speicherelementes im pseudozufälligen Test zeigt **Fig. 7** einen Ausschnitt einer sequentiellen Schaltung in einer speziellen Ausgestaltung der Erfindung. Für die Verknüpfungsschaltung V 6 ist die in **Fig. 3** dargestellte Realisierung gewählt worden. Wie in **Fig. 2** dargestellt, wird das erfindungsgemäße Speicherelement von nur einer Steuerleitung **11**, die den Wert C führt, gesteuert.

Der Ausgang des ersten Flip-Flops FF1 3 ist mit dem 0-Eingang des Multiplexer MUX **5** verbunden, so daß er für den Wert des Steuersignals  $C = 0$  direkt mit dem Data-out Ausgang **7** verbunden ist. Der Ausgang der zweiten Flip-Flops FF2 4 ist mit dem 1-Eingang des Multiplexers MUX **5** verbunden, so daß er für den Wert  $C = 1$  des Steuersignals direkt mit dem Data-out Ausgang **7** verbunden ist. **Fig. 7** zeigt zwei aufeinanderfolgende, miteinander im Scan-Pfad

unmittelbar verbundene Speicherelemente. Für den Wert des Steuersignals ist  $C = 1$  gewählt. Die aktiven Datenpfade sind zum besseren Verständnis fett gezeichnet. Für diesen Wert des Steuersignals soll die Funktionsweise nun noch detaillierter erläutert werden.

Die zum betrachteten diskreten Zeitpunkt t in den zweiten Flip-Flops FF2 4 gespeicherten binären Werte liegen über die jeweiligen Multiplexer MUX **5** an den Eingängen der Kombinatorischen Schaltung **20** an. Sie werden in ihr in einem gewissen Zeitintervall  $\Delta t$  verarbeitet und die durch die Kombinatorische Schaltung **20** verarbeiteten Daten werden in den ersten Flip-Flops FF1 3 im nächsten Takt gespeichert, wobei der Wert für  $\Delta t$  allein durch die Kombinatorik **20** und den Multiplexer **5** bestimmt ist.

Gleichzeitig wird der Wert, der in jedem ersten Flip-Flop FF1 3 gespeichert ist, mit dem Wert, der in dem jeweils entsprechenden zweiten Flip-Flop FF2 4 gespeichert ist, in dem jeweiligen XOR-Gatter **13** in einem Zeitintervall  $\Delta t'$  antivalent verknüpft und im nächsten Takt in dem im Scan-Pfad darauffolgenden zweiten Flip-Flop FF2 4 gespeichert.

Das Zeitintervall  $\Delta t'$  ist durch die Gatterlaufzeiten des UND-Gatters **12** und des XOR-Gatters **13** bestimmt. Man kann davon ausgehen, daß das Zeitintervall  $\Delta t'$  kleiner als das Zeitintervall  $\Delta t$  ist, da die kombinatorische Schaltung **20** allgemein komplexer als eine Reihenschaltung eines UND-Gatters und eines XOR-Gatters sein wird.

Verbindet man den Scan-out Ausgang **8** des letzten Speicherelementes im Scan-Pfad mit dem Scan-in Eingang **2** des ersten Speicherelementes im Scan-Pfad, dann kann man in einfacher Weise einen prinzipiell bekannten pseudo-zufälligen zirkularen Selbsttest durchführen, wie er etwa in Krasniewski, A. and Pilarski, S., "Circular Self-Test Path: A Low Cost BIST Technique for VLSI Circuits", IEEE Trans. CAD, Vol. 8, 1989, pp. 46–55, beschrieben ist. Als wesentlichen Unterschied wird man aber bemerken, daß im Datenpfad während des pseudo-zufälligen Tests, hier vom zweiten Flip-Flop FF2 4 über den Multiplexer **5** und die kombinatorische Schaltung **20** zum ersten Flip-Flop FF1 3 kein zusätzliches XOR-Gatter eingefügt ist, so daß hier, im Unterschied zu bisher bekannten Möglichkeiten, ein pseudo-zufälliger Test der tatsächlichen Verzögerung möglich ist, obwohl ganz übliche Flip-Flops zum Aufbau des erfindungsgemäßen Multi-Mode Speicherelementes verwendet werden.

Zur Verdeutlichung der Wirkungsweise des erfindungsgemäßen Speicherelementes im Scan-Mode und gleichzeitig gem normalen Funktionsmode zeigt **Fig. 8** den gleichen Ausschnitt einer sequentiellen Schaltung wie in **Fig. 7**. Im Unterschied zu **Fig. 7** ist in **Fig. 8** der Wert des Steuersignals  $C = 0$  gewählt worden. Die aktiven Datenpfade sind zum besseren Verständnis wieder fett gezeichnet. Die zum betrachteten diskreten Zeitpunkt t in den Flip-Flops FF1 3 gespeicherten Werte werden im normalen Funktionsmode in der kombinatorischen Schaltung **20** verarbeitet und das Ergebnis wird im nächsten Takt wieder in den Flip-Flops FF1 3 gespeichert. Gleichzeitig werden die in den Flip-Flops FF2 4 gespeicherten Werte in die im Scan-Pfad jeweils benachbarten Flip-Flops FF2 4 geschoben, so daß das Einscannen der Werte in die Flip-Flops FF2 4 parallel zur normalen Funktion der sequentiellen Schaltung erfolgen kann. Für einen ausgebildeten Entwerfer liegt es nahe, die betrachtete Schaltung des Speicherelementes leicht zu modifizieren, wie das für jeden Schaltungsentwurf üblich ist. So wird er etwa die kombinatorischen Schaltungsteile in einer bestimmten Bauelementebasis realisieren und optimieren, Steuersignale etwa durch negierte Steuersignale ersetzen, wie das beim Schaltungsentwurf üblich ist.

1. Multi-Mode Speicherelement für sequentielle Schaltungen mit Scan-Mode oder partiellem Scan-Mode und pseudo-zufälligem Selbsttest mit einem Data-in Eingang (1), einem Data-out Ausgang (7), einem Scan-in Eingang (2) und einem Scan-out Ausgang (8), wobei der Data-in Eingang (1) mit dem Daten-Eingang eines ersten Flip-Flops (3) verbunden ist, der Scan-in Eingang (2) mit dem Daten-Eingang eines zweiten Flip-Flops (4) verbunden ist, der Ausgang des ersten Flip-Flops (3) mit dem ersten von zwei Eingängen eines Multiplexers (5) verbunden ist, dessen Steuerleitung (9) ein erstes binäres Steuersignal führt, der Ausgang des ersten Flip-Flops (3) gleichzeitig mit dem ersten von zwei Eingängen einer gesteuerten Verknüpfungsschaltung (6) verbunden ist, deren Steuerleitung (10) ein zweites binäres Steuersignal führt, der Ausgang des zweiten Flip-Flops (4) mit dem zweiten Eingang des Multiplexers (5) und mit dem zweiten Eingang der gesteuerten Verknüpfungsschaltung (6) verbunden ist, der Ausgang des Multiplexers (5) mit dem Data-out Ausgang (7) verbunden ist, und der Ausgang der gesteuerten Verknüpfungsschaltung (6) mit dem Scan-out Ausgang (8) verbunden ist, und die gesteuerte Verknüpfungsschaltung (6) für die erste Belegung ihres binären Steuersignales eine Verknüpfung ihrer beiden Eingänge mit einer eindeutig auflösbar Booleschen Funktion realisiert und für die zweite Belegung ihres binären Steuersignales ihren zweiten Eingang logisch mit ihrem Ausgang verbindet.

2. Multi-Mode Speicherelement nach Anspruch 1, dadurch gekennzeichnet, daß die Steuerleitung (9) des Multiplexers (5) und die Steuerleitung (10) der Verknüpfungsschaltung (6) zu einer Steuerleitung (11) verbunden sind.

3. Multi-Mode Speicherelement nach Anspruch 2, dadurch gekennzeichnet, daß die Steuerleitung (9) des Multiplexers (5) und die Steuerleitung (10) der Verknüpfungsschaltung (6) so zu einer Steuerleitung (11) verbunden sind, daß bei deren einen Belegung der an einen entsprechenden Ausgang der zu testenden kombinatorischen Schaltung (20) angeschlossene Data-in Eingang (1) über das erste Flip-Flop (3) und den Multiplexer (5) an den Data-out Ausgang (7), der mit einem entsprechenden Eingang der zu testenden kombinatorischen Schaltung (20) verbunden ist, geführt ist, und der Scan-in Eingang (2) über das zweite Flip-Flop (4) und die Verknüpfungsschaltung (6) logisch unverknüpft an den Scan-out Ausgang (8) geführt ist, der mit dem Scan-in Eingang (2) des nächsten Multi-Mode Speicherelementes verbunden ist, und daß bei der anderen Belegung der Steuerleitung (11) der Scan-in Eingang (2) über das zweite Flip-Flop (4) und den Multiplexer (5) an den Data-out-Ausgang (7) geführt ist und der Data-in Eingang (1) über das erste Flip-Flop (3) und der Scan-in-Eingang (2) über das zweite Flip-Flop (4) und gemeinsam über die Verknüpfungsschaltung (6), verknüpft mit einer eindeutig auflösbar Booleschen Funktion an den Scan-out Ausgang (8) geführt sind.

4. Multi-Mode Speicherelement nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß die Verknüpfungsschaltung (6) eine Äquivalenzverknüpfung realisiert.

5. Multi-Mode Speicherelement nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß die Verknüpfungsschaltung (6) eine Antivalenzverknüpfung reali-

Hierzu 6 Seite(n) Zeichnungen

**- Leerseite -**

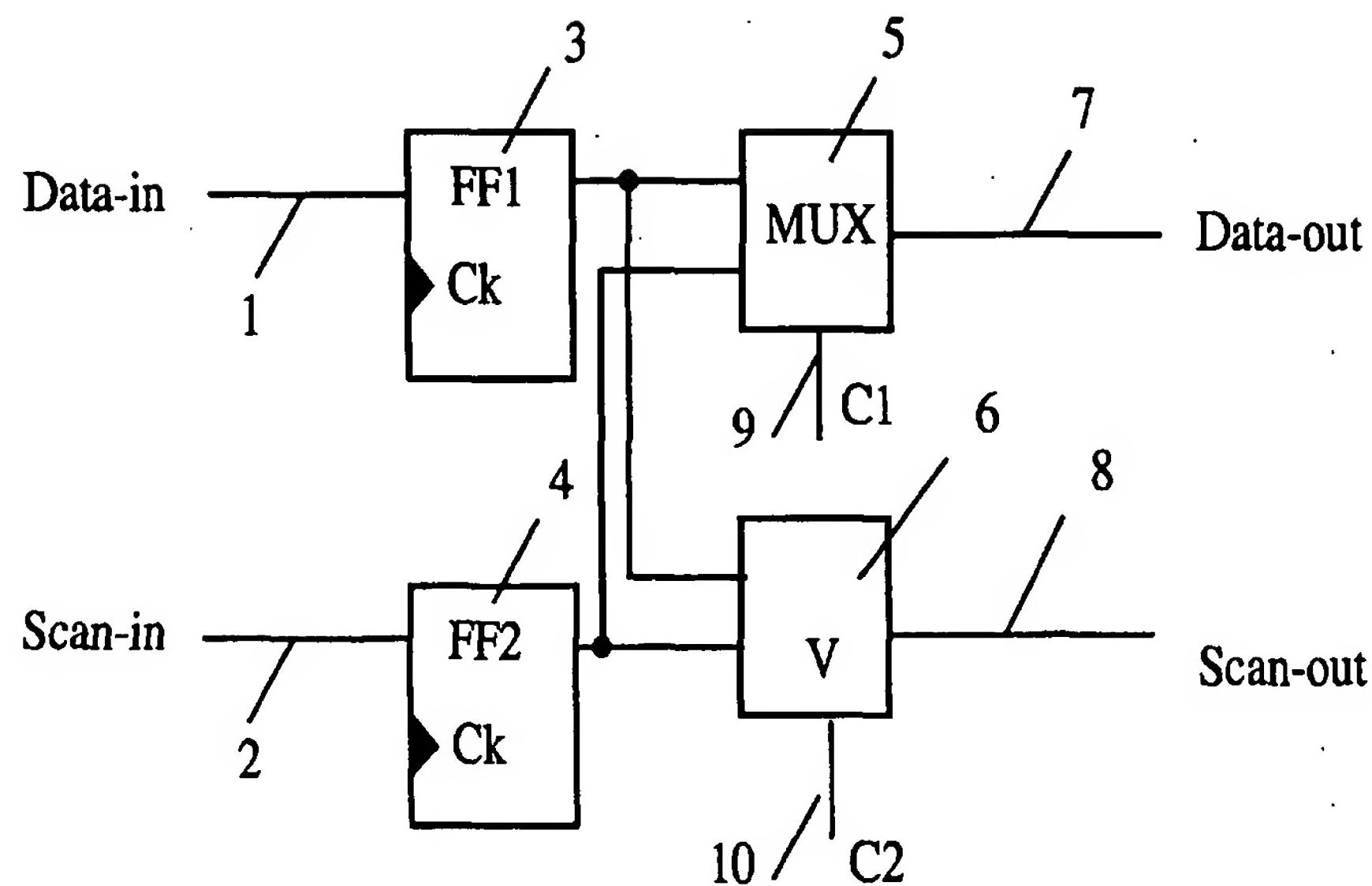


Fig.1

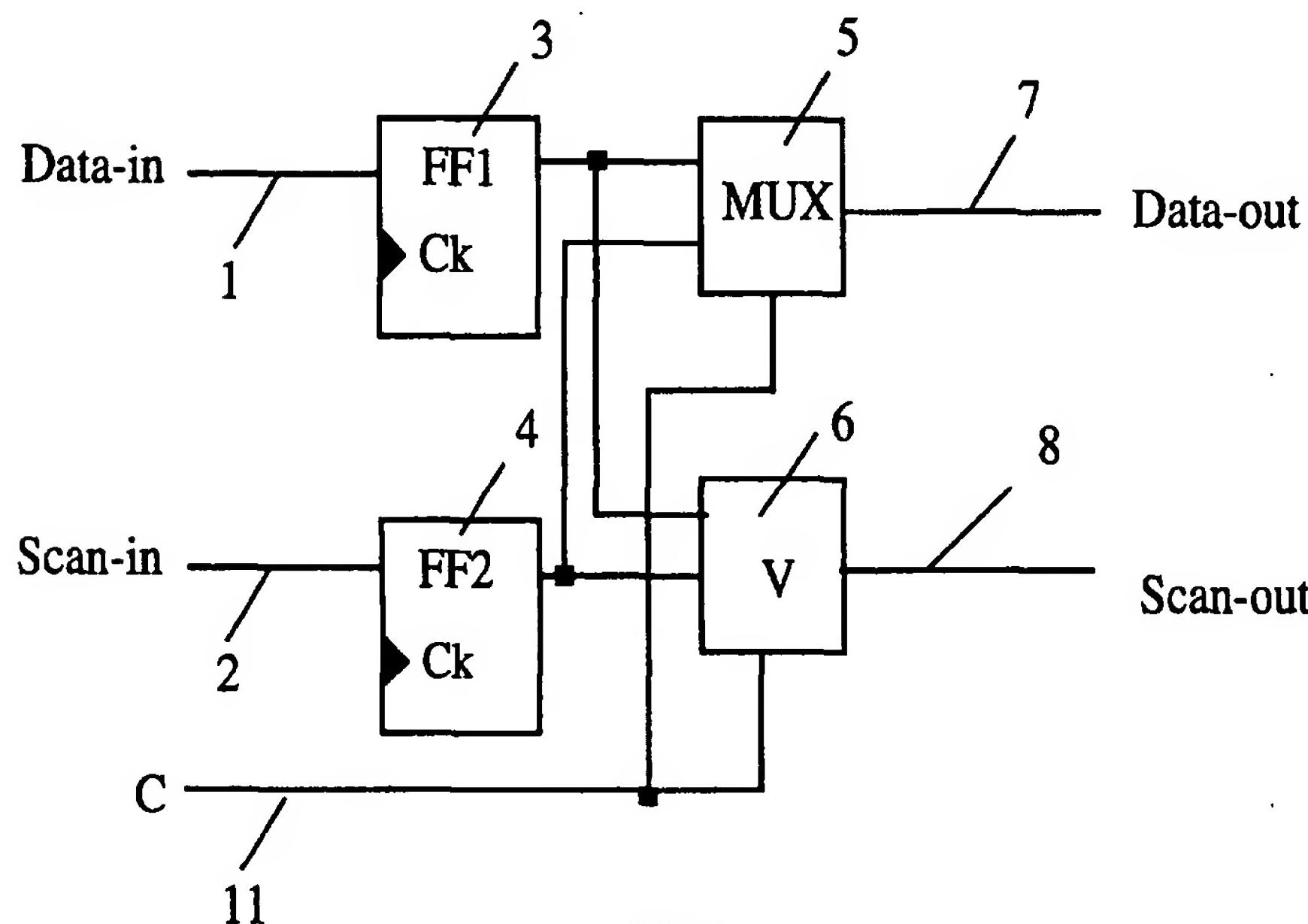


Fig.2

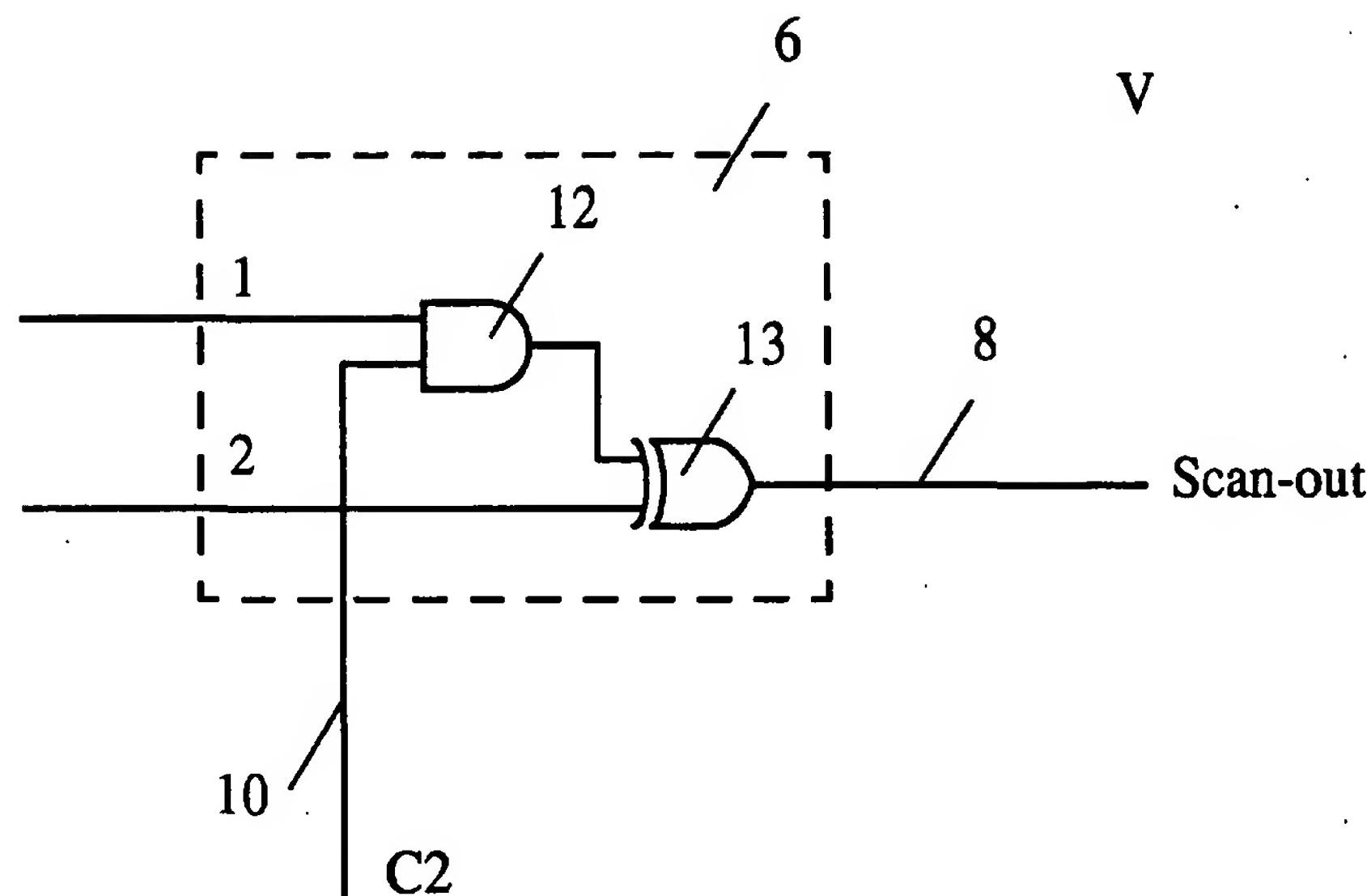


Fig.3

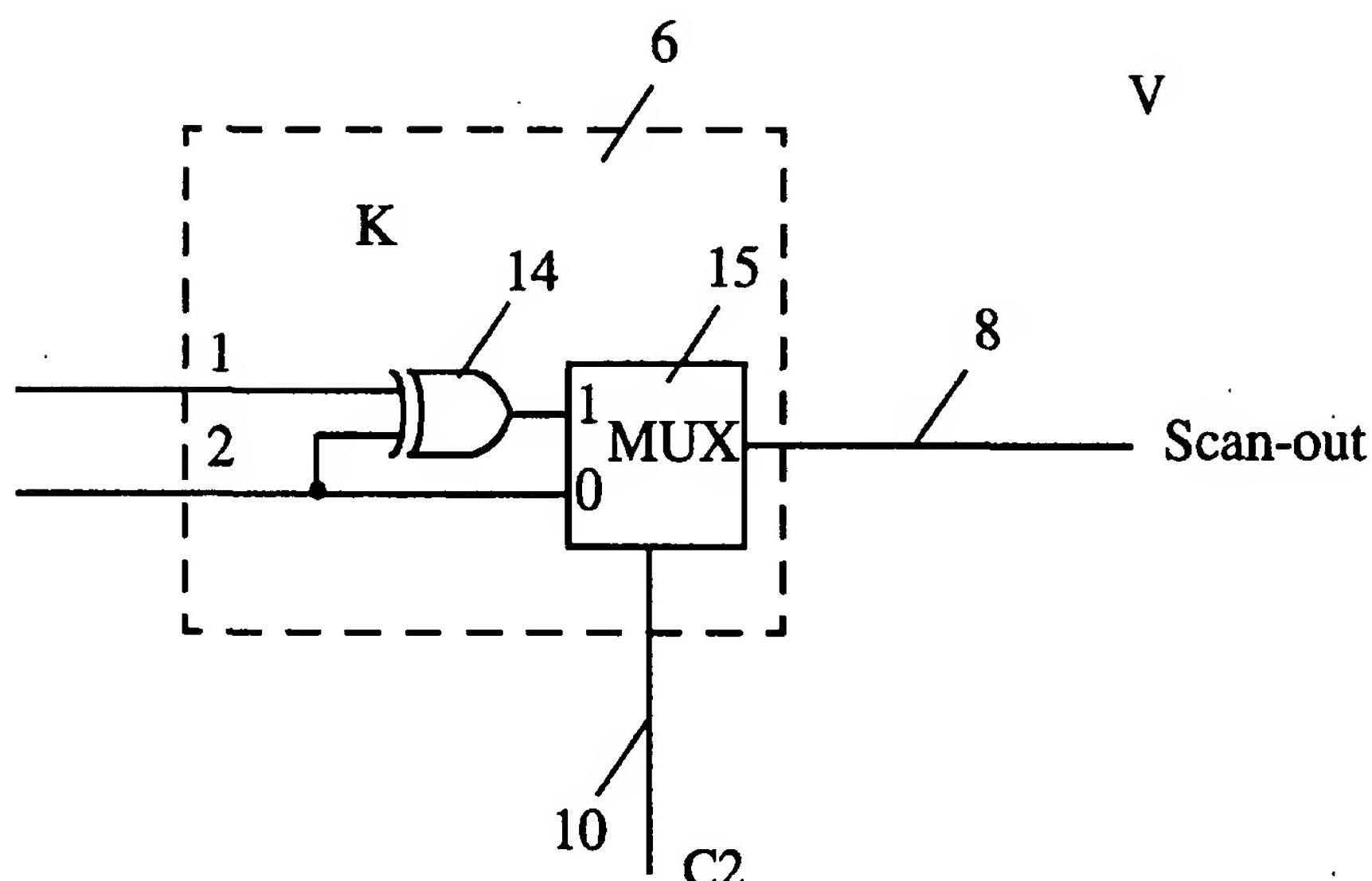


Fig.4

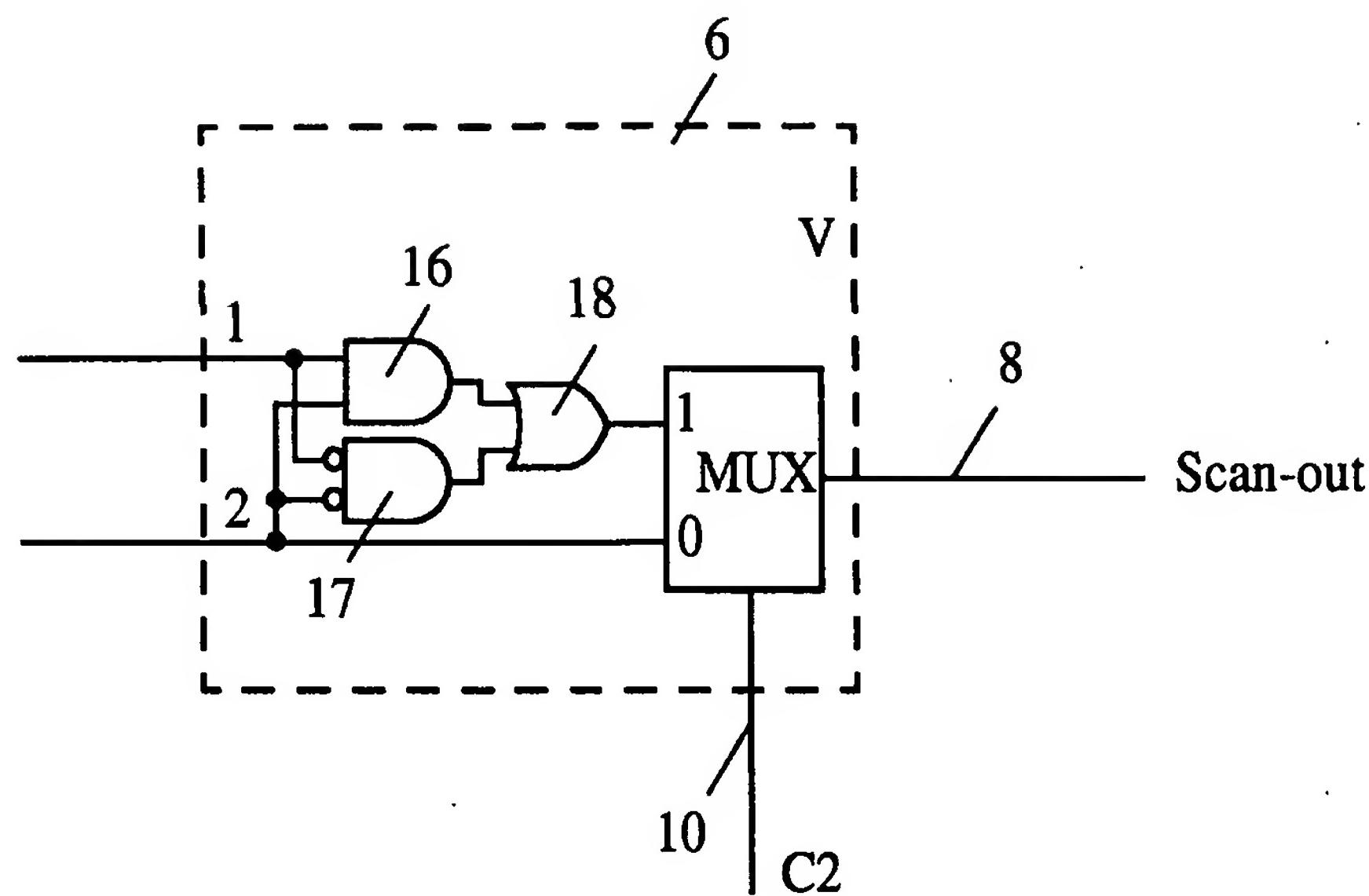


Fig.5

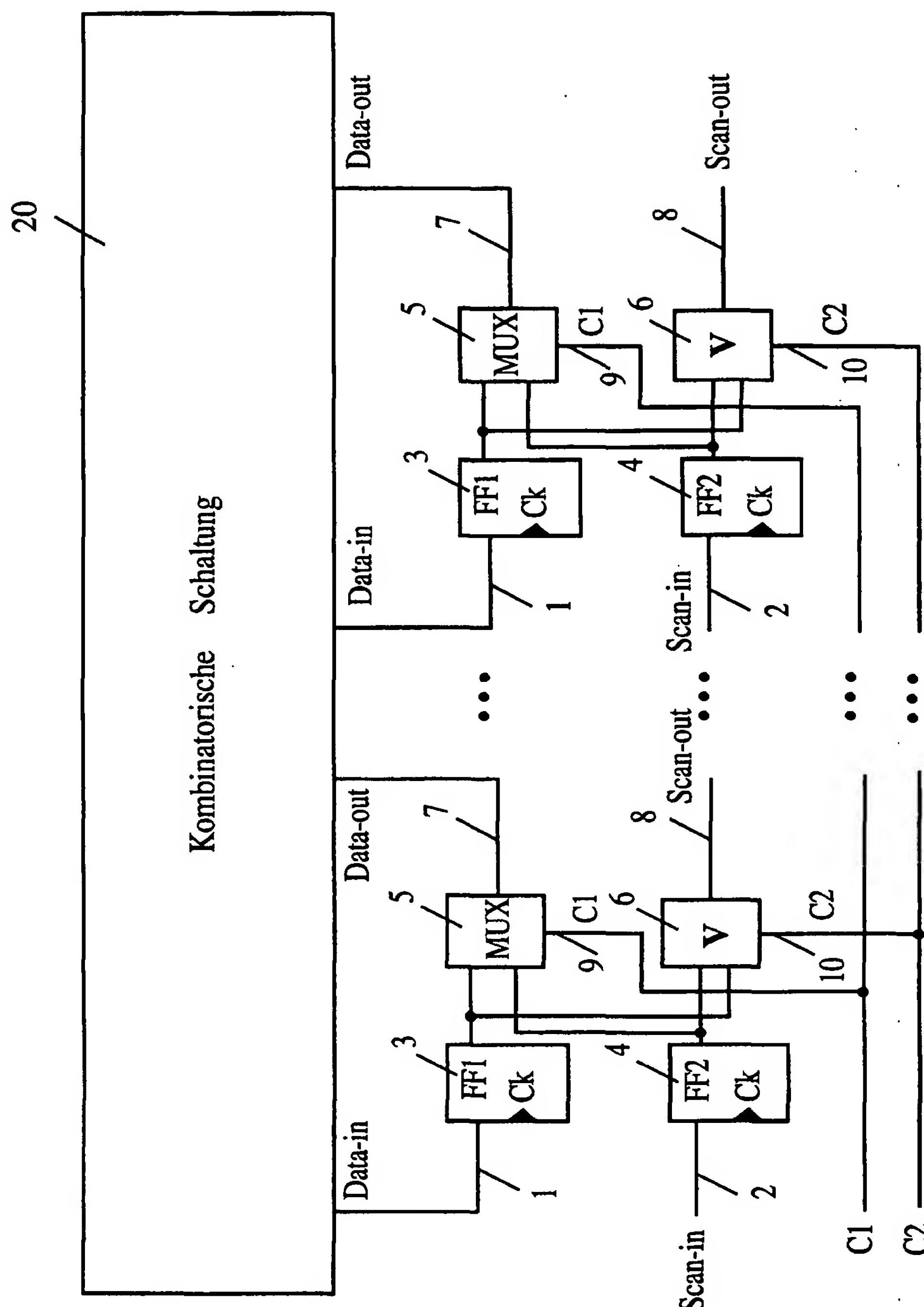


Fig.6

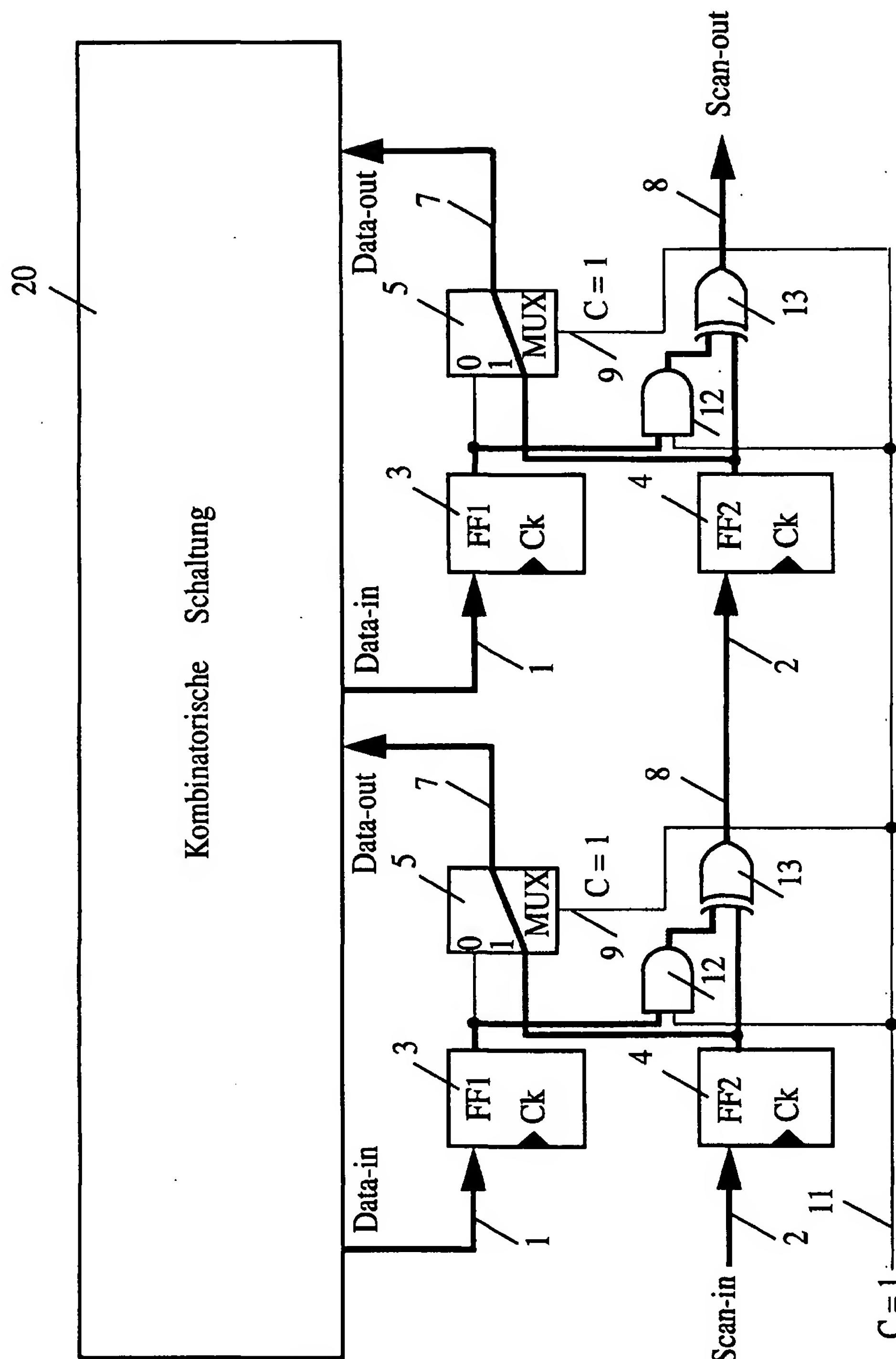


Fig.7

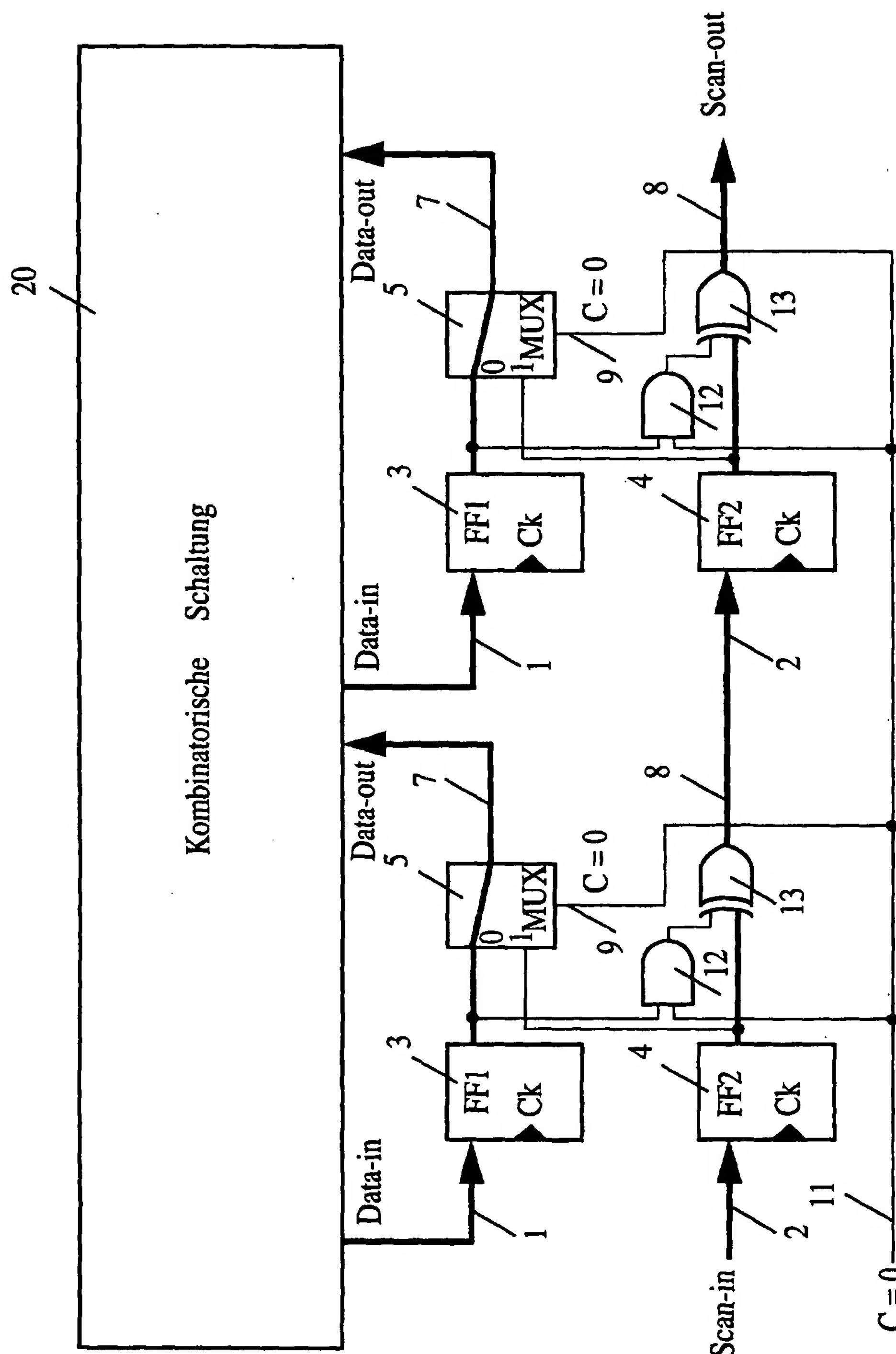


Fig.8